

适用于 1MP/60fps 摄像头、37.5MHz~100MHz、

10 位/12 位的串行器和解串器

产品简述

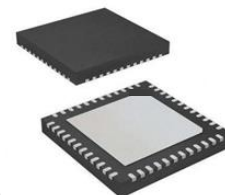
MS933NA/MS934NA 是 10 位/12 位 SER/DES 串行器/解串器，支持 37.5MHz~100MHz 时钟。它支持在一对差分线缆上传送高速前向数据和反向控制数据。MS933NA/MS934NA 广泛应用于车载摄像、医疗设备、管道探测等领域。

主要特点

- 支持输入 37.5MHz 到 100MHz 的图像时钟
- 单个差分对互连
- 可选 10 位/12 位数据位宽
- 支持低延时双向控制通道
- 2:1 多路调制器，用于在两个输入成像器间进行选择
- 具有自适应电缆损耗的接收均衡器
- 能驱动 15 米的屏蔽双绞线: (线径 24AWG)
- 4 个通用输入/输出接口(GPIO)
- 锁定输出报告管脚和利用全速自测模式来验证连接完整性
- 兼容 1.8V、2.8V、3.3V 并行输入/输出
- 1.8V 单电源供电
- 工作温度范围: -40°C 至+105°C
- AEC-Q100 认证
- 降低 EMI/EMC 影响的解串器
 - 可编程扩频输出
 - 接收器交错输出



QFN32



QFN48

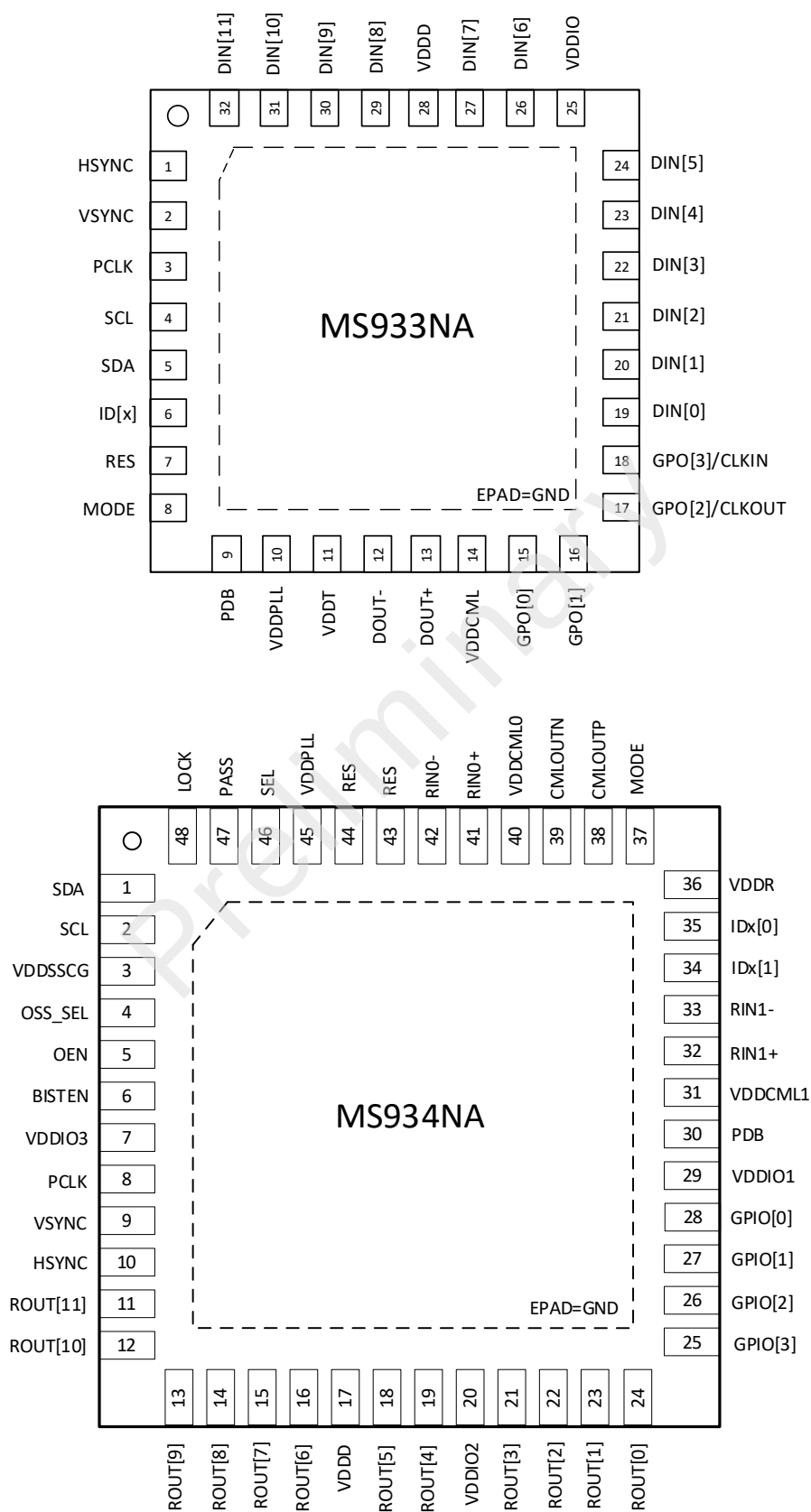
应用

- 车载摄像: 环视摄像头、前置和后视摄像头
- 远程卫星雷达或激光雷达传感器
- 管道探测
- 医疗内窥镜

产品规格分类

产品	封装形式	丝印名称
MS933NA	QFN32	MS933NA
MS934NA	QFN48	MS934NA

管脚图



管脚说明

MS933NA 串行器

管脚名称	管脚编号	管脚属性	管脚描述
LVCOMS 并行接口			
DIN[0:11]	19,20,21,22,23, 24,26,27,29,30, 31,32	I	并行数据输入, LVCMOS 电平
HSYNC	1	I	水平同步输入, LVCMOS 电平
VSYN	2	I	垂直同步输入, LVCMOS 电平
PCLK	3	I	像素时钟输入脚。通过 TRFB 控制寄存器, 选择上升沿或下降沿采样。LVCMOS 电平
通用输出口(GPO)			
GPO[1:0]	16,15	O	通用输出脚, 用来控制和响应各种命令。GPO[1:0]脚可以被配置为解串器的 GPIO[1:0]管脚输入信号的输出, 或者配置为输出本地寄存器的值。
GPO[2]/CLKOUT	17	O	GPO[2]脚可以被配置为解串器的 GPIO[2]管脚输入信号的输出, 或者配置为输出本地寄存器的值。 当串行器使用外部晶振模式时, 它也能被配置为输出时钟脚。LVCMOS 电平
GPO[3]/CLKIN	18	O/I	GPO[3]脚可以被配置为解串器的 GPIO[3]管脚输入信号的输出, 或者配置为输出本地寄存器的值。 当串行器使用外部晶振模式时, 它也能被配置为输入时钟脚。LVCMOS 电平
双向控制总线-I²C 兼容			
SCL	4	I/O	双向控制总线通信的时钟线, 漏极开路。 SCL 需要一个外部上拉电阻接到 VDDIO
SDA	5	I/O	双向控制总线通信的数据线, 漏极开路。 SDA 需要一个外部上拉电阻接到 VDDIO
MODE	8	I	器件模式选择, LVCMOS电平。 电阻到地和 10kΩ 上拉到 1.8V 电源。串行器中的 MODE 脚可用于选择系统工作的 PCLK 是来自成像器或者外部振荡器

管脚名称	管脚编号	管脚属性	管脚描述
ID[x]	6	I	器件 ID 地址选择。 ID[x]管脚可指定 I ² C 器件地址。电阻到地和 10kΩ 上拉到 1.8V 电源
控制和配置			
PDB	9	I	掉电模式输入管脚，LVCMOS电平。 PDB=H，串行器有效且工作； PDB=L，串行器进入掉电模式。此时，PLL 关闭，IDD 最小化，控制寄存器的值不能保持，被复位到默认值
RES	7	I	保留。该管脚必须接低电平
串行器接口			
DOUT+	13	I/O	正向差分输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
DOUT-	12	I/O	反向差分输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
电源和地			
VDDPLL	10	-	PLL 电源，1.8V±5%
VDDT	11	-	Tx 模拟电源，1.8V±5%
VDDCML	14	-	CML 电源，1.8V±5%
VDDD	28	-	数字电源，1.8V±5%
VDDIO	25	-	I/O 电源。SDA、SCL 电源。VDDIO 可以连接到 1.8V±5%或 2.8V±10%或 3.3V±10%
EPAD	-	-	散热片，必须接地

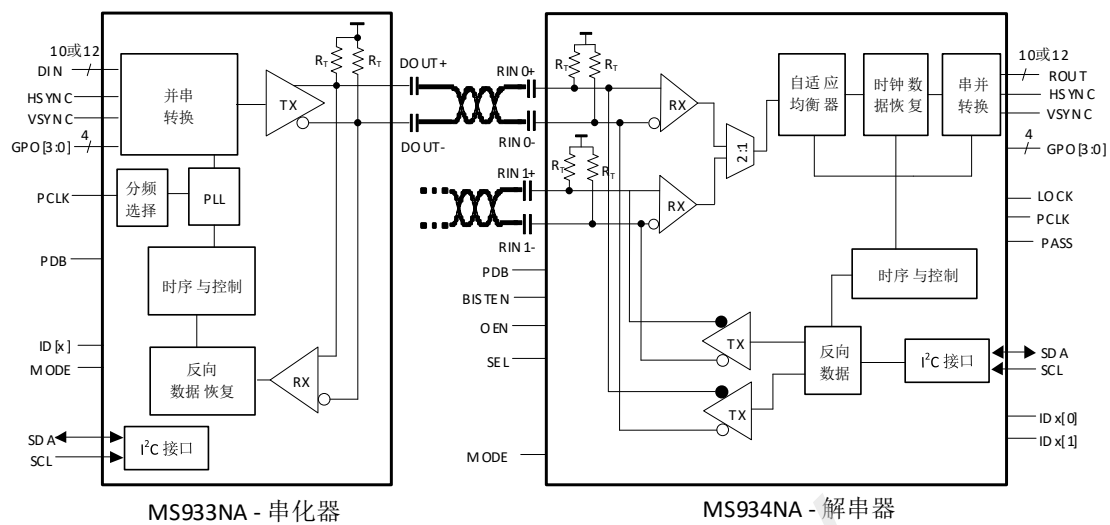
MS934NA 解串器

管脚编号	管脚名称	管脚属性	管脚描述
LVCOMS 并行接口			
ROUT[11:0]	11,12,13,14,15,16, 18,19,21,22,23,24	O	并行数据输出, LVCMOS 电平
HSYNC	10	O	水平同步输出, LVCMOS 电平
VSYNC	9	O	垂直同步输出, LVCMOS 电平
PCLK	8	O	像素时钟输出脚, 通过 TRFB 控制寄存器, 选择上升沿或下降沿采样。LVCMOS 电平
通用输入/输出口(GPIO)			
GPIO[1:0]	27,28	I/O	通用输入输出脚, 用来控制和响应各种命令。 GPIO[1:0]脚可以被配置为串行器 GPO[1:0]管脚输出的输入信号, 或者配置为输出本地寄存器的值。 LVCMOS 电平
GPIO[3:2]	25,26	I/O	通用输入输出脚。GPIO[3:2]脚可以被配置为串行器 GPO[3:2]管脚输出的输入信号, 或者配置为输出本地寄存器的值。当 SerDes 芯片组通过外部振荡器工作, 这些管脚只能被配置为本地寄存器设置的后续输出。LVCMOS 电平
双向控制总线-I²C 兼容			
SCL	2	I/O	双向控制总线通信的时钟线, 漏极开路输出。 SCL 需要一个外部上拉电阻接到 VDDIO
SDA	1	I/O	双向控制总线通信的数据线, 漏极开路输出。 SDA 需要一个外部上拉电阻接到 VDDIO
MODE	37	I	器件模式选择, LVCMOS 电平。 电阻到地和 10kΩ 上拉到 1.8V 电源。串行器中的 MODE 脚可用于选择串行器和解串器工作在不同的输入 PCLK 范围。 12 位模式(37.5-100MHz): 该模式下, 串行器和解串器能接收最高 12 位数据+2 个同步信号。输入 PCLK 范围为 37.5-100MHz。 10 位模式(50-100MHz): 该模式下, 串行器和解串器能接收最高 10 位数据+2 个同步信号。输入 PCLK 范围为 50-100MHz。 注: 此模式下 HSYNC/VSYSN 至少需要 10 个 PCLK 周期才能翻转

管脚编号	管脚名称	管脚属性	管脚描述
IDx[0:1]	35,34	I	解串器的 IDx[0]和 IDx[1]管脚可指定 I ² C 器件地址。电阻到地和 10k Ω 上拉到 1.8V 电源。输入脚用于选择从器件地址。输入连接到电阻分压器上，用来配置器件 ID 地址。
控制和配置			
PDB	30	I	掉电模式输入管脚，LVCMOS 电平。 PDB=H，解串器有效且工作。 PDB=L，解串器进入睡眠模式（掉电模式）。 此时，PLL 关闭，IDD 最小化，控制寄存器的值不能保持，被复位到默认值
LOCK	48	O	LOCK 状态输出管脚，LVCMOS 电平。 LOCK=H，PLL 锁定，输出有效； LOCK=L，PLL 未锁定。
BISTEN	6	I	BIST 使能管脚，LVCMOS 电平。 BISTEN=H，BIST 模式有效； BISTEN=L，BIST 模式无效
PASS	47	O	BIST 模式下 PASS 输出管脚，LVCMOS 电平。 PASS=H，传输无错误。 PASS=L，接收负载检测到一个或多个错误。 详见“内建自测”。如不使用，可开路。
OEN	5	I	输出使能输入管脚，LVCMOS 电平
OSS_SEL	4	I	输出休眠状态选择管脚，LVCMOS 电平
SEL	46	I	MUX 选择线，LVCMOS 电平。 SEL=L，RIN0+/-输入。这可以使输入 A 为解串器的有效通道 SEL=H，RIN1+/-输入。这可以使输入 B 为解串器的有效通道
解串器接口			
RIN0+	41	I/O	正向差分输入，双向控制通道输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
RIN0-	42	I/O	反向差分输入，双向控制通道输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
RIN1+	32	I/O	正向差分输入，双向控制通道输出。必须通过 100nF 电容进行 AC 耦合。CML 电平

管脚编号	管脚名称	管脚属性	管脚描述
RIN1-	33	I/O	反向差分输入，双向控制通道输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
RES	43,44	-	保留。该管脚必须接低电平
CMLOUTP/N	38,39	-	测试点路径，不使用可开路
电源和地			
VDDIO1/2/3	29,20,7	-	LVC MOS I/O 缓冲器电源，为单端输出端和控制输入端提供电源。VDDIO 可以连接到 1.8V±5% 或 3.3V±10%
VDDD	17	-	数字电源，1.8V±5%
VDDSSCG	3	-	SSCG 模拟电源，1.8V±5%
VDDR	36	-	Rx 模拟电源，1.8V±5%
VDDCML0/1	40,31	-	CML 和双向通道驱动器电源，1.8V±5%
VDDPLL	45	-	PLL 电源，1.8V±5%
EPAD	-	-	散热片，必须接地

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	额定值	单位
供电电压	$V_{DDn} (1.8V)$	-0.3 ~ +2.5	V
	V_{DDIO}	-0.3 ~ +4.0	V
LVC MOS 电平管脚电压		-0.3 ~ + ($V_{DDIO}+0.3$)	V
CML 驱动器 I/O 电压	V_{DD}	-0.3 ~ + ($V_{DD}+0.3$)	V
最大结温	T_{JMAX}	+150	°C
存储温度	T_{STG}	-65 ~ +150	°C
ESD (HBM)	V_{ESD}	>±8000	V
ESD (CDM)		>±1000	V

推荐工作条件

参数	符号	最小值	典型值	最大值	单位
供电电压	V_{DDn}	1.71	1.8	1.89	V
LVC MOS 供电电压	V_{DDIO}	1.71	1.8	1.89	V
		3.0	3.3	3.6	V
		2.52	2.8	3.08	V
电源噪声	$V_{DDn}(1.8V)$			25	mVp-p
	$V_{DDIO}(1.8V)$			25	mVp-p
	$V_{DDIO}(3.3V)$			50	mVp-p
工作温度	T_A	-40	+25	+105	°C
PCLK 时钟频率	12 位模式	37.5		100	MHz
	10 位模式	50		100	MHz

电气参数

除非另外说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件		最小值	典型值	最大值	单位
LVCMOS 直流特性 3.3V I/O（串行器输入、GPO、控制端输入和输出，解串器输入、GPIO）							
高电平输入电压	V _{IH}	V _{IN} =3.0V~3.6V		2.0		V _{IN}	V
低电平输入电压	V _{IL}	V _{IN} =3.0V~3.6V		GND		0.8	V
输入电流	I _{IN}	V _{IN} =0V 或 3.6V V _{IN} =3.0V~3.6V		-20	±1	+20	μA
高电平输出电压	V _{OH}	V _{DDIO} =3.0V~3.6V, I _{OH} =-4mA		2.4		V _{DDIO}	V
低电平输出电压	V _{OL}	V _{DDIO} =3.0V~3.6V, I _{OL} =+4mA		GND		0.4	V
输出短路电流	I _{OS}	V _{OUT} =0V	GPO 输出 (MS933NA)		-15		mA
		V _{OUT} =0V	GPIO 输出 (MS934NA)		-46		mA
三态输出电流	I _{OZ}	PDB=0V, V _{OUT} =0V 或 V _{DD}	LVCMOS 输出	-20	±1	+20	μA
LVCMOS 直流特性 1.8V I/O（串行器输入、GPO、控制端输入和输出，解串器输入、GPIO）							
高电平输入电压	V _{IH}	V _{IN} =1.71V~1.89V		0.65V _{IN}		V _{IN}	V
低电平输入电压	V _{IL}	V _{IN} =1.71V~1.89V		GND		0.35V _{IN}	V
输入电流	I _{IN}	V _{IN} =0V 或 1.89V V _{IN} =1.71V~1.89V		-20	±1	+20	μA
高电平输出电压	V _{OH}	V _{DDIO} =1.71V~1.89V I _{OH} =-4mA		V _{DDIO} - 0.45		V _{DDIO}	V
低电平输出电压	V _{OL}	V _{DDIO} =1.71V~1.89V I _{OL} =+4mA		GND		0.45	V
输出短路电流	I _{OS}	V _{OUT} =0V	GPO 输出 (MS933NA)		-11		mA
		V _{OUT} =0V	GPIO 输出 (MS934NA)		-26		mA
三态输出电流	I _{OZ}	PDB=0V, V _{OUT} =0V 或 V _{DD}	LVCMOS 输出	-20	±1	+20	μA

参数	符号	测试条件		最小值	典型值	最大值	单位
LVCMOS 直流特性 2.8V I/O（串行器输入、GPO、控制端输入和输出）							
高电平输入电压	V _{IH}	V _{IN} =2.52V~3.08V		0.7V _{IN}		V _{IN}	V
低电平输入电压	V _{IL}	V _{IN} =2.52V~3.08V		GND		0.3V _{IN}	V
输入电流	I _{IN}	V _{IN} =0V 或 3.08V V _{IN} =2.52V~3.08V		-20	±1	+20	μA
高电平输出电压	V _{OH}	V _{DDIO} =2.52V~3.08V, I _{OH} =-4mA		V _{DDIO} - 0.4		V _{DDIO}	V
低电平输出电压	V _{OL}	V _{DDIO} =2.52V~3.08V, I _{OL} =+4mA		GND		0.4	V
输出短路电流	I _{OS}	V _{OUT} =0V	GPO 输出		-11		mA
三态输出电流	I _{OZ}	PDB=0V, V _{OUT} =0V 或 V _{DD}	LVCMOS 输出	-20	±1	+20	μA
CML 驱动器直流特性 (DOUT+, DOUT-)							
差分输出电压	V _{ODp-p}	R _L =100Ω（图 1，图 2）		540	680	820	mV
单端输出电压	V _{OD}	R _L =50Ω（图 1）		270	340	410	mV
非平衡差分输出电压	ΔV _{OD}	R _L =100Ω			1	50	mV
输出电压偏移	V _{OS}	R _L =100Ω（图 1）			V _{DD} - V _{OD} /2		V
非平衡失调电压	ΔV _{OS}	R _L =100Ω			1	50	mV
短路输出电流	I _{OS}	DOUT+/- =0V			-26		mA
差分内部端子电阻	R _T	DOUT+和 DOUT-的差		80	100	120	Ω
CML 接收器直流规格 (RIN0+, RIN0-, RIN1+, RIN1-)							
输入电流	I _{IN}	V _{IN} =V _{DD} 或 0V, V _{DD} =1.8V			8		μA
差分内部端子电阻	R _T	RIN+和 RIN-之间的差分电阻			110		Ω
最大传输速率							
线速率					1.87		Gbps
CML 接收器交流规格 (RIN0+, RIN0-, RIN1+, RIN1-)							
1010 模式下允许的 最小摆幅	V _{SWING}	线速率=1.87Gbps（图 3）		135			mV
CML 测试链路输出驱动器规格 (CMLOUTP, CMLOUTPN)							
差分输出眼图的宽度	E _W	R _L =100Ω			0.5		UI
差分输出眼图的高度	E _H	抖动频率>f/40（图 4）			240		mV

参数	符号	测试条件	最小值	典型值	最大值	单位
串行器/解串器电源电流：数字、PLL 和模拟电源						
串行器(Tx)VDDn 电源电流 (包括负载电流)	I_{DDT}	$R_L=100\Omega$ "0101..." 数据 类型 (图 5)	$V_{DDn}=1.8V$ $V_{DDIO}=3.3V$ $f=100MHz$, 10 位模式 默认寄存器值	71	80	mA
串行器(Tx) VDDn 电源电流 (包括负载电流)	I_{DDT}	$R_L=100\Omega$ "0101..." 数据 类型 (图 5)	$V_{DDn}=1.8V$ $V_{DDIO}=3.3V$ $f=100MHz$, 12 位模式 默认寄存器值	76	85	mA
		$R_L=100\Omega$ PRBS-7 模式	$V_{DDn}=1.8V$ $V_{DDIO}=3.3V$ $f=100MHz$, 10 位模式 默认寄存器值	67	75	mA
			$V_{DDn}=1.8V$ $V_{DDIO}=3.3V$ $f=100MHz$, 12 位模式 默认寄存器值	72	80	mA
串行器(Tx) VDDIO 电源电流 (包括负载电流)	I_{DDIOT}	$R_L=100\Omega$ "0101..."数据 类型 (图 5)	$V_{DDIO}=1.8V$ $f=100MHz$, 12 位模式 默认寄存器值	1.5	3	mA
			$V_{DDIO}=3.3V$ $f=100MHz$, 12 位模式 默认寄存器值	5	8	mA

参数	符号	测试条件		最小值	典型值	最大值	单位
串行器(Tx) 掉电模式下的 电源电流	I _{DDTZ}	PDB=0V; 所有 LVCMOS 输入 =0V	V _{DDIO} =1.8V 默认寄存器值		130	300	μA
			V _{DDIO} =3.3V 默认寄存器值		130	300	μA
串行器(Tx) 掉电模式下的 VDDIO 电源电流	I _{DDIOTZ}	PDB=0V; 所有 LVCMOS 输入=0V	V _{DDIO} =1.8V 默认寄存器值		15	100	μA
			V _{DDIO} =3.3V 默认寄存器值		15	100	μA
解串器(Rx)VDDIO 电源电流 (包括负载电流)	I _{DDIOR}	V _{DDIO} =1.89V C _L =8pF "0101..."数据类型	f=100MHz, 10 位模式		22		mA
		V _{DDIO} =3.6V C _L =8pF "0101..."数据类型	f=100MHz, 10 位模式		37		mA
		V _{DDIO} =1.89V C _L =4pF "0101..."数据类型	f=100MHz, 10 位模式		17		mA
		V _{DDIO} =3.6V C _L =4pF "0101..."数据类型	f=100MHz, 10 位模式		28		mA
		V _{DDIO} =1.89V C _L =8pF "0101..."数据类型	f=100MHz, 12 位模式		28		mA
		V _{DDIO} =3.6V C _L =8pF "0101..."数据类型	f=100MHz, 12 位模式		50		mA
		V _{DDIO} =1.89V C _L =4pF "0101..."数据类型	f=100MHz, 12 位模式		23		mA

参数	符号	测试条件		最小值	典型值	最大值	单位
解串器(Rx)VDDIO 电源电流 (包括负载电流)	I_{DDIOR}	$V_{DDIO}=3.6V$ $C_L=4pF$ "0101..."数据类型	$f=100MHz$, 12 位模式		38		mA
解串器(Rx) VDDn 电源电流 (包括负载电流)	I_{DDR}	$V_{DDn}=1.8V$ $C_L=4pF$ "0101..."数据类型 1.4Gbps	$f=100MHz$, 10 位模式		56		mA
		$V_{DDn}=1.8V$ $C_L=4pF$ "0101..."数据类型 1.87Gbps	$f=100MHz$, 12 位模式		68		mA
解串器(Rx) 掉电模式下的 VDDn 电源电流	I_{DDRZ}	PDB=0V; 所有 LVCMOS 输入=0V	$V_{DDIO}=1.89V$ 默认寄存器值		85		μA
		PDB=0V; 所有 LVCMOS 输入=0V	$V_{DDIO}=3.6V$ 默认寄存器值		85		
解串器(Rx) 掉电模式下的 VDDIO 电源电流	I_{DDIORZ}	PDB=0V; 所有 LVCMOS 输入=0V	$V_{DDIO}=1.89V$		6		μA
			$V_{DDIO}=3.6V$		11		

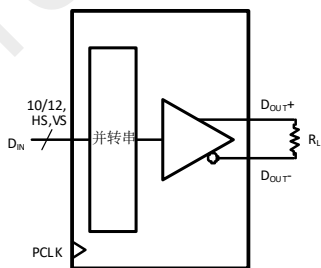


图 1. 串行器 VOD 框图

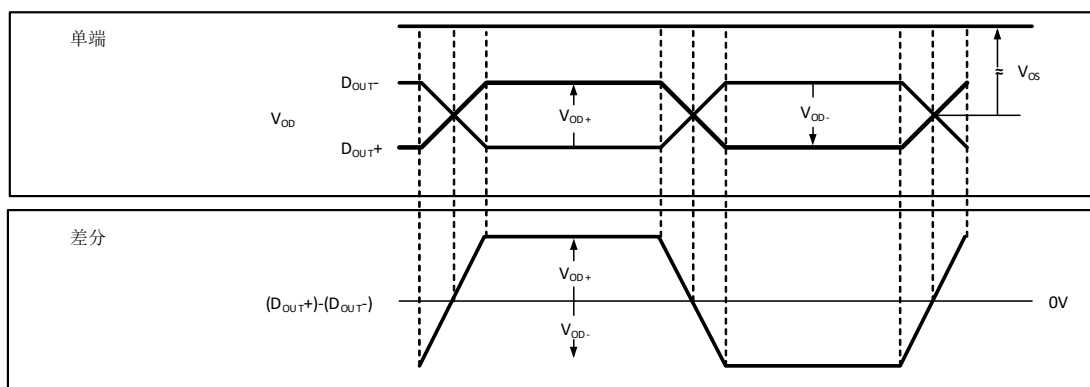


图 2. 差分 VOD 图

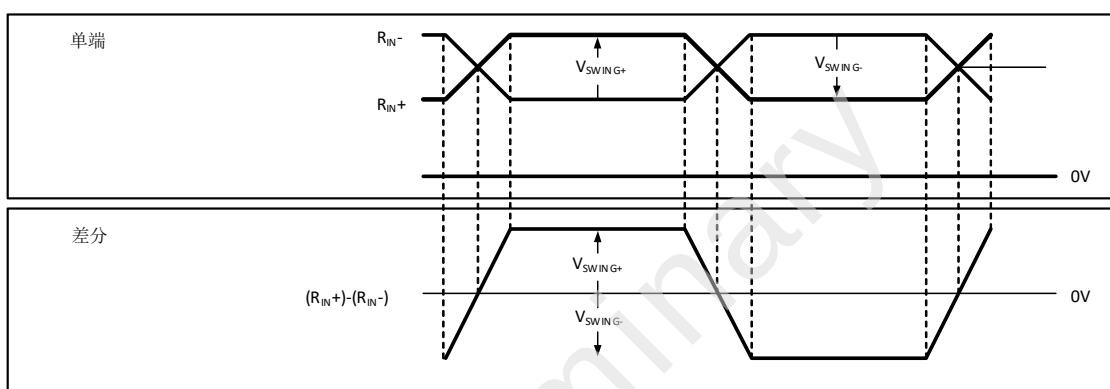


图 3. 差分 V_{SWING} 图

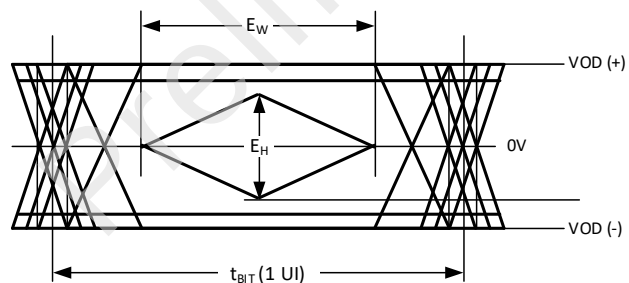


图 4. CMLOUT 输出驱动器眼图

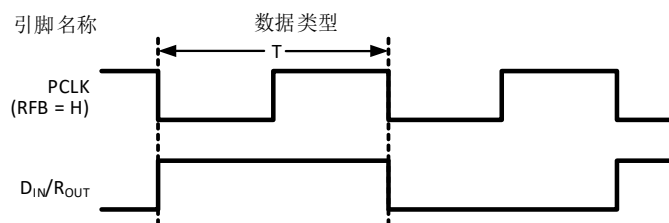


图 5. "0101..." 数据测试模式

推荐的串行器 PCLK 时序¹

除非另外说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	频率	最小	典型	最大	单位
传输时钟周期	t_{TCP}	10 位模式		10	T	20	ns
		12 位模式		10	T	26.667	ns
传输时钟 输入高电平时间	t_{TCH}			0.4T	0.5T	0.6T	ns
传输时钟 输入低电平时间	t_{TCL}			0.4T	0.5T	0.6T	ns
PCLK 输入转换时间 (图 6)	t_{CLKT}	50MHz-100MHz 10 位模式		0.05T	0.25T	0.3T	ns
		37.5MHz-100MHz 12 位模式		0.05T	0.25T	0.3T	ns
PCLK 输入抖动 (来自成像器的 PCLK)	t_{JIT0}	串行器的 PLL 环路 带宽约为参考时 钟的 1/20。解串 器时钟数据恢复 电路中的 PLL 环路 带宽约为参考时 钟的 1/15	$f_{PCLK}=37.5\text{MHz}\sim$ 100MHz		0.1T		ns
PCLK 输入抖动 (外部晶振模式)	t_{JIT1}	串行器的 PLL 环路 带宽约为参考时 钟的 1/20。解串 器时钟数据恢复 电路中的 PLL 环路 带宽约为参考时 钟的 1/15	$f_{PCLK}=37.5\text{MHz}\sim$ 100MHz		0.1T		ns
外部振荡器抖动	t_{JIT2}		$f_{OSC}=25\text{MHz}\sim$ 66.67MHz		0.1T		ns
CLKOUT 输出占空比	t_{DC}		$f_{OSC}=25\text{MHz}\sim$ 66.67MHz	45		55	%
外部振荡器 频率稳定度	ΔO_{AS}				± 50		ppm

注：

1. 推荐的输入时序要求是设计输入规格，未在产品中测试。
2. T 代表 PCLK 周期。

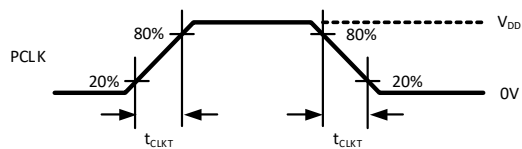


图 6. 串行器输入时钟转换时间

串行器转换特性

除非另外说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
CML 低到高转换时间	t_{LHT}	$R_L=100\Omega$ (图 7)		100	220	ps
CML 高到低转换时间	t_{HLT}	$R_L=100\Omega$ (图 7)		100	220	ps
数据输入到 PCLK 的建立时间	t_{DIS}	串行器数据输入 (图 8)	2			ns
PCLK 到数据输入的保持时间	t_{DIH}		2			ns
串行器 PLL 锁定时间	t_{PLD}	$R_L=100\Omega^{1,2}$ (图 9)		1	2	ms
串行器延迟 ²	t_{SD}	$R_L=100\Omega$ 10 位模式 寄存器 0x03h b[0](TRFB=1) (图 10)	32.5T	38T	44T	ns
		$R_L=100\Omega$ 12 位模式 寄存器 0x03h b[0](TRFB=1) (图 10)	11.75T	13T	15T	ns
串行器输出总抖动峰峰值	$t_{JIND-PP}$	通过 PRBS-7 测试模式进行检测 ^{3,4}		0.1		UI
串行器抖动传输函数 -3dB 带宽 ⁵	λ_{STXBW}	PCLK=100MHz 10 位模式。默认寄存器值		2.2		MHz
		PCLK=100MHz 12 位模式。默认寄存器值		2.9		
串行器抖动传输函数 (峰值频率) ⁵	Δ_{STXF}	PCLK=100MHz 10 位模式。默认寄存器值		400		kHz
		PCLK=100MHz 12 位模式。默认寄存器值		500		

注：

1. t_{PLD} 和 t_{DDLT} 指的是，在 PCLK 有效情况下，掉电状态进入串行器锁定状态所需要的时间。
2. 指标由设计确定。
3. 典型值表示在 1.8V 或 3.3V、 $T_A=+25^\circ\text{C}$ 和推荐工作条件及产品特性未被指定情况下，最可能的参数标准。
4. UI-单位间隔等于一个理想串化数据位宽。UI 以 PCLK 频率为标尺。
5. 指标由特性参数确定，未在产品中测试。

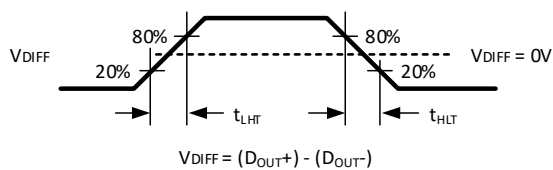


图 7. 串行器 CML 转换时间

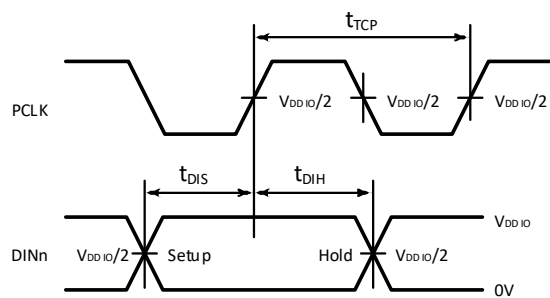


图 8. 串行器建立/保持时间

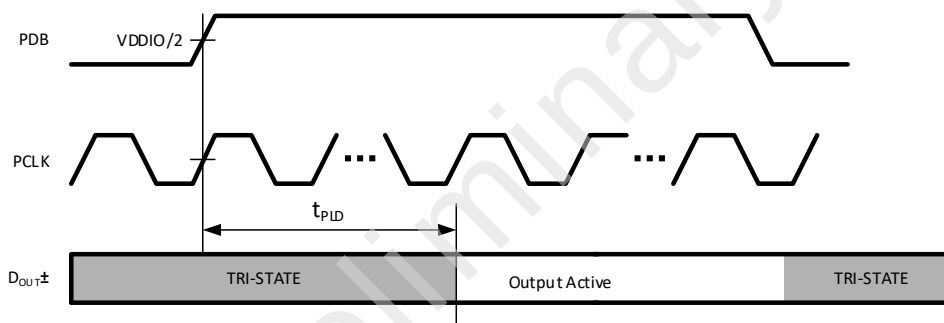


图 9. 串行器 PLL 锁定时间

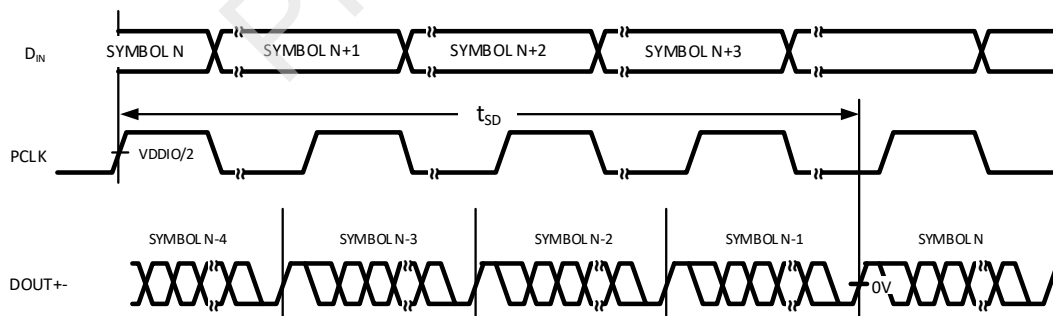


图 10. 串行器延时

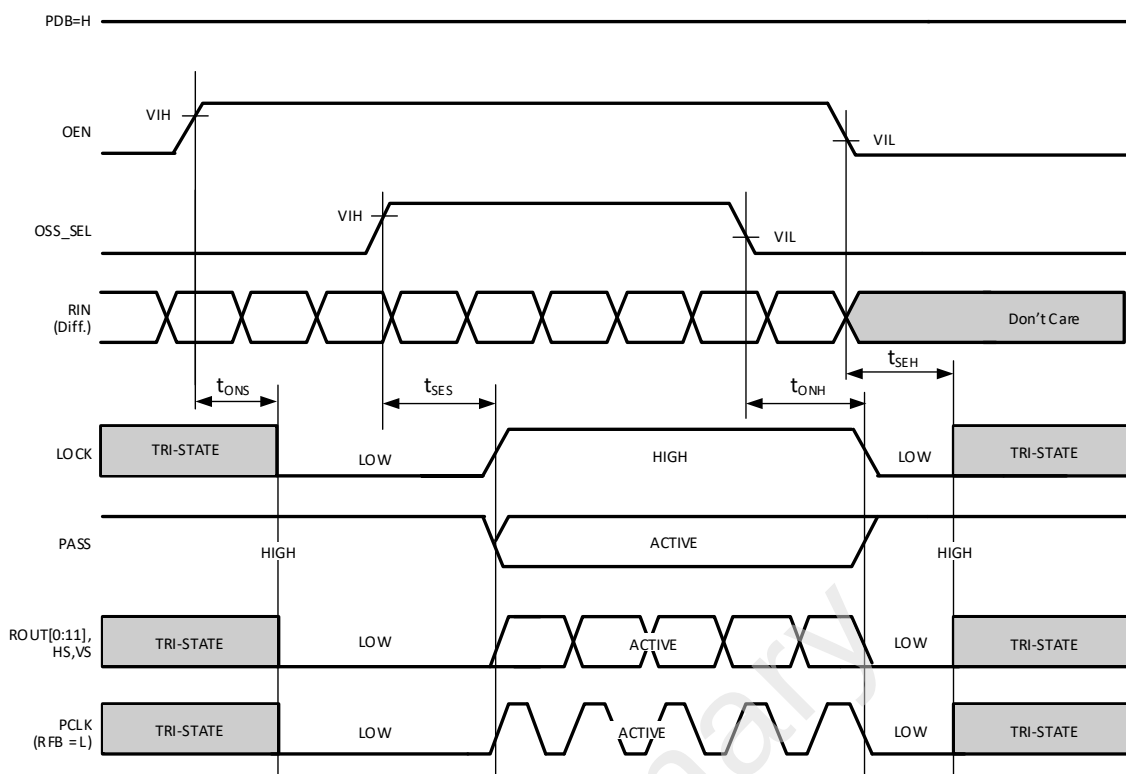


图 11. 输出状态（建立和保持）时间

解串器转换特性

除非另外说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	管脚/频率	最小值	典型值	最大值	单位
接收器 输出时钟周期	t_{RCP}	10 位模式	PCLK	10		50	ns
		12 位模式	(图 12)	10		26.667	
PCLK 占空比	t_{PDC}	10 位模式	PCLK	45	50	55	%
		12 位模式		45	50	55	
LVC MOS 低到高的 转换时间	t_{CLH}	$V_{DDIO}: 1.71-1.89V$ or 3.0-	PCLK		0.9		ns
LVC MOS 高到低 的转换时间	t_{CHL}	3.6V, $C_L=8pF$ (集总负载) 默认寄存器值 (图 13) ¹			0.9		
LVC MOS 低到高的 转换时间	t_{CLH}	$V_{DDIO}: 1.71-1.89V$ or 3.0-	ROUT[11:0], HS, VS		2.2		ns
LVC MOS 高到低 的转换时间	t_{CHL}	3.6V, $C_L=8pF$ (集总负载) 默认寄存器值 (图 13) ¹			1.9		
ROUT 数据到 PCLK 的建立时间	t_{ROS}	$V_{DDIO}: 1.8V$ 或 3.8V, $C_L=4pF$ (集总负载)	ROUT[11:0], HS, VS		0.35T		ns
ROUT 数据到 PCLK 的保持时间	t_{ROH}	默认寄存器值 (图 12)			0.65T		
解串器延迟	t_{DD}	默认寄存器值	10 位模式		155T		ns
		寄存器 0x03h b[0](TRFB=1) (图 14) ¹	12 位模式		75T		
解串器数据 锁定时间	t_{DDLT}	自适应均衡器 (图 15)	12 位模式		3.5		ms
接收器时钟抖动	t_{RCJ}	PCLK SSCG[3:0]=OFF ¹	12 位模式 PCLK=50MHz		45		ps

参数	符号	条件	管脚/频率	最小值	典型值	最大值	单位
解串器周期抖动	t_{DPJ}	PCLK SSCG[3:0]=OFF ^{2,1}	12 位模式 PCLK=100MHz		300		ps
解串器周期到 周期时钟抖动	t_{DCCJ}	PCLK SSCG[3:0]=OFF ^{3,1}	12 位模式 PCLK=100MHz		450		ps
扩频时钟 偏移频率	f_{DEV}	LVC MOS 输出总 线	37.5MHz- 100MHz		$\pm 0.5 \sim \pm 2$		%
扩频时钟 调制频率	f_{MOD}	SSCG[3:0]=ON (图 16) ^{2,1}	37.5MHz- 100MHz		17.3~ 150		kHz

注:

- 1.指标由特性参数保证, 未在产品中测试。
2. t_{DPJ} 是测试的 30,000 个样本中允许偏离的最大的周期。
3. t_{DCCJ} 是测试的 30,000 个样本中相邻时钟周期期间的最大的抖动。

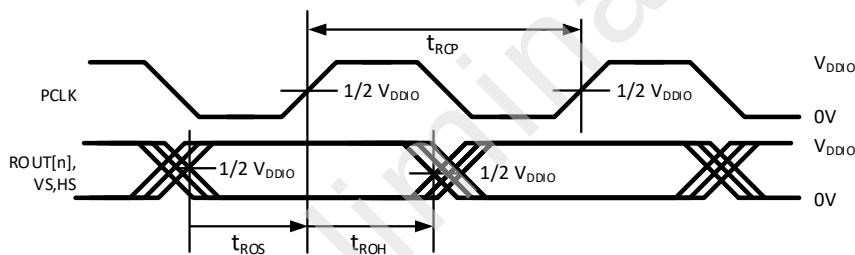


图 12. 解串器输出建立/保持时间

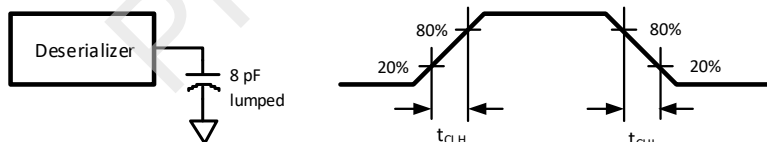


图 13. 解串器 LVC MOS 输出负载和转换时间

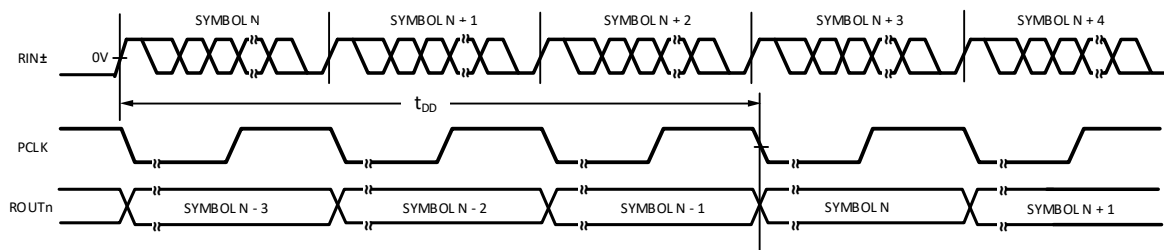


图 14. 解串器延时

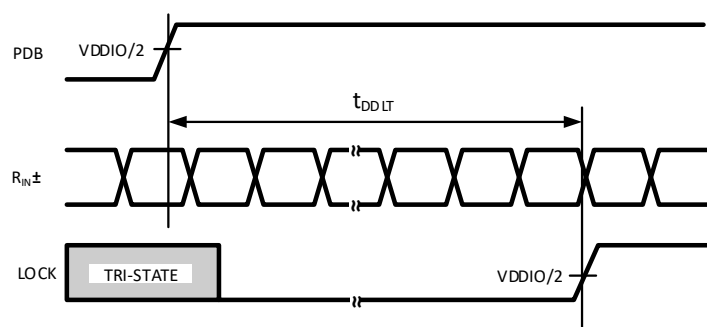


图 15. 解串器数据锁定时间

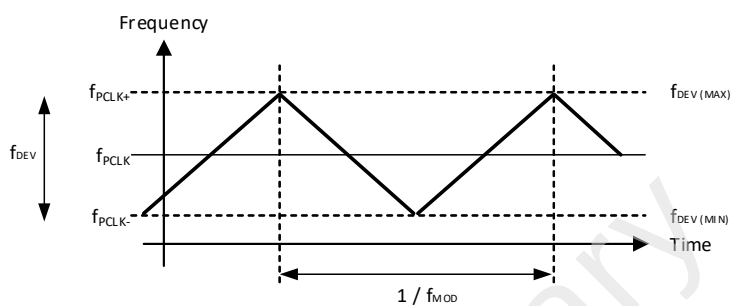


图 16. 扩频时钟输出图

交流时序(SCL,SDA)-I²C 接口适应

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
SCL 时钟频率	f _{SCL}	标准模式	>0		100	kHz
		快速模式	>0		400	kHz
SCL 低电平周期	t _{LOW}	标准模式	4.7			μs
		快速模式	1.3			μs
SCL 高电平周期	t _{HIGH}	标准模式	4.0			μs
		快速模式	0.6			μs
起始条件或重复起始条件的保持时间	t _{HD:STA}	标准模式	4.0			μs
		快速模式	0.6			μs
起始条件或重复起始条件的建立时间	t _{SU:STA}	标准模式	4.7			μs
		快速模式	0.6			μs
数据保持时间	t _{HD:DAT}	标准模式	0		3.45	μs
		快速模式	0		900	μs
数据建立时间	t _{SU:DAT}	标准模式	250			μs
		快速模式	100			μs
停止条件的建立时间	t _{SU:STO}	标准模式	4.0			μs
		快速模式	0.6			μs
停止和起始间的总线空闲时间	t _{BUF}	标准模式	4.7			μs
		快速模式	1.3			μs
SCL 和 SDA 上升时间	t _R	标准模式			1000	ns
		快速模式			300	ns
SCL 和 SDA 下降时间	t _F	标准模式			300	ns
		快速模式			300	ns

双向控制总线直流时序(SCL,SDA)-I²C 适应¹

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
输入高电平	V_{IH}	SDA 和 SCL	$0.7 \times V_{DDIO}$		V_{DDIO}	V
输入低电平	V_{IL}	SDA 和 SCL	GND		$0.3 \times V_{DDIO}$	V
输入迟滞	V_{HY}			>50		mV
输出低电平	V_{OL}	SDA, $I_{OL}=0.5\text{mA}$	0		0.4	V
输入电流	I_{IN}	SDA 或 SCL, $V_{IN}=V_{DDOP}$ 或 GND	-10		10	μA
SDA 上升时间-读	t_R	SDA, RPU=10k Ω , $C_b \leq 400\text{pF}$ 图 11		400		ns
SDA 下降时间-读	t_F			20		ns
建立时间	$t_{SU:DAT}$	见图 11		550		ns
保持时间	$t_{HD:DAT}$	见图 11		610		ns
输入等效电容	C_{IN}	SDA 或 SCL		<5		pF

注 1：指标由设计确定。

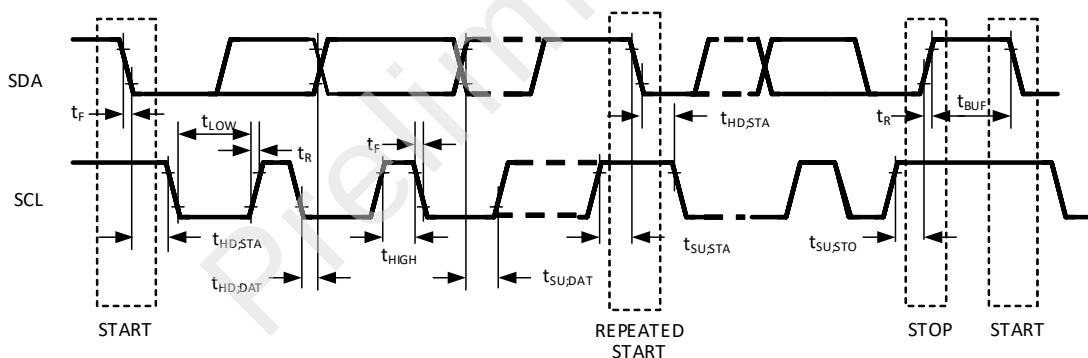


图 17. 双向控制总线时序

特性曲线

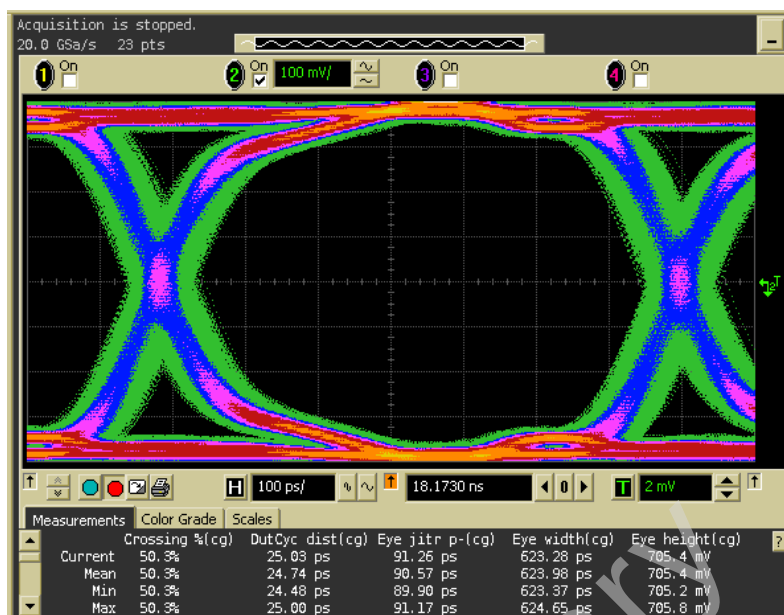


图 18. MS933NA CML 驱动器输出眼图：10 位模式 1.4Gbps，差分负载 $R_L=100\Omega$

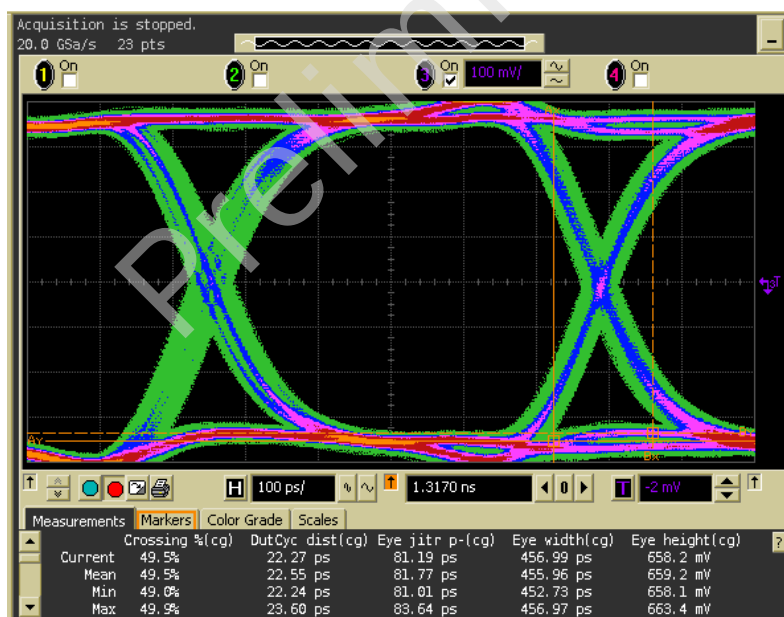


图 19. MS933NA CML 驱动器输出眼图：12 位模式 1.87Gbps，差分负载 $R_L=100\Omega$

典型应用图

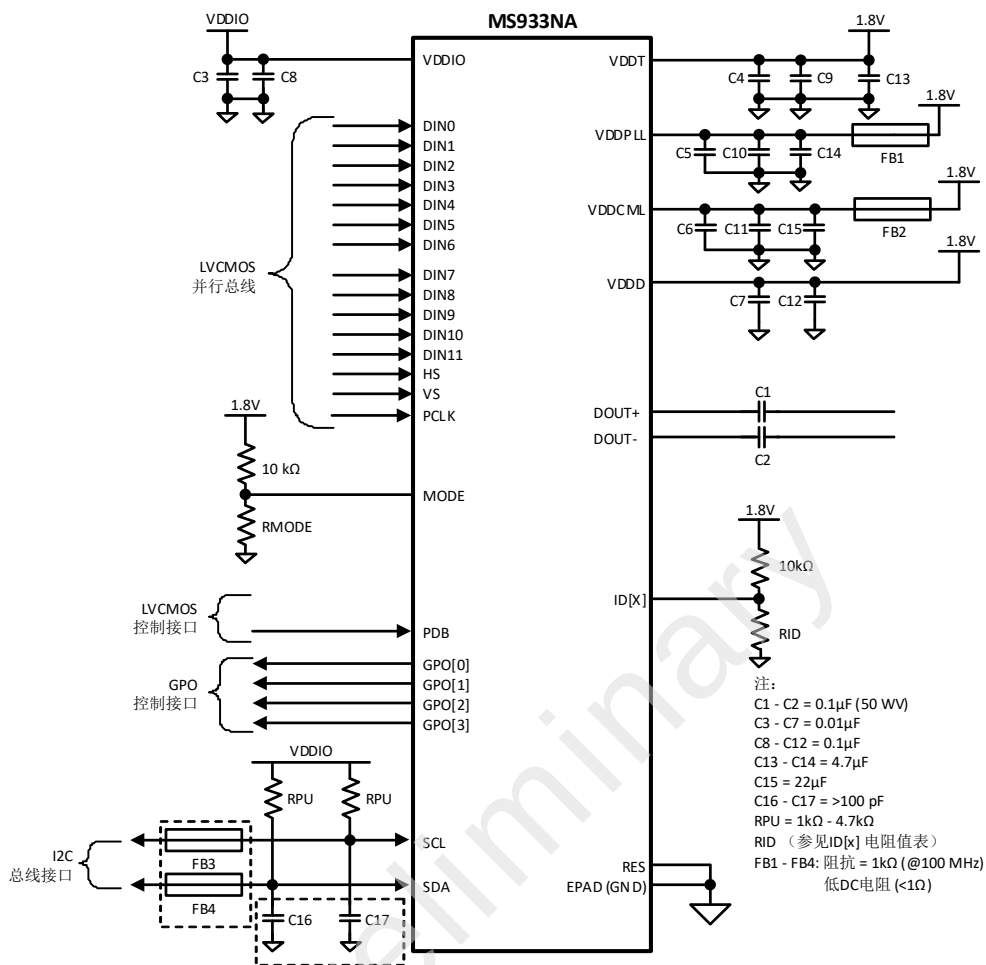


图 20. MS933NA 典型连接图-管脚控制

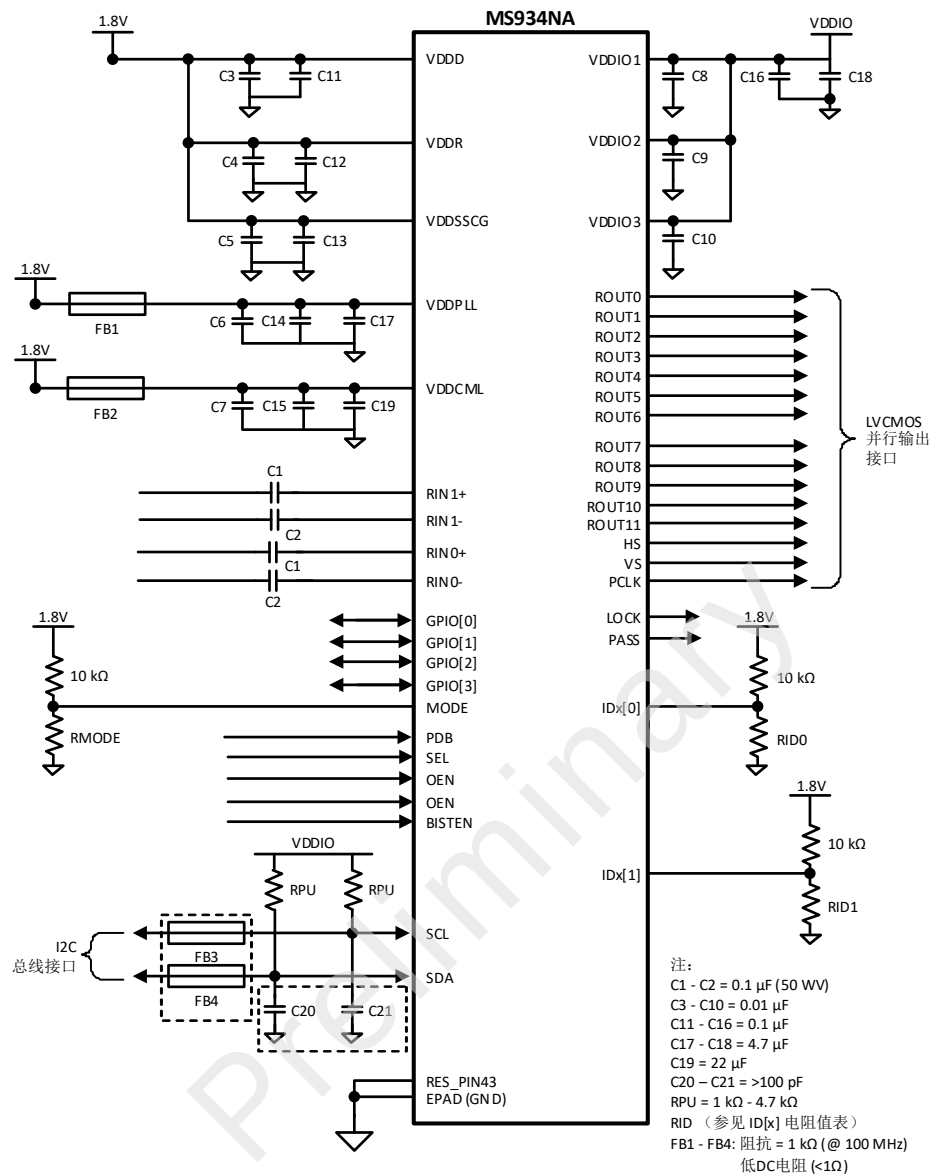


图 21. MS934NA 典型连接图-管脚控制

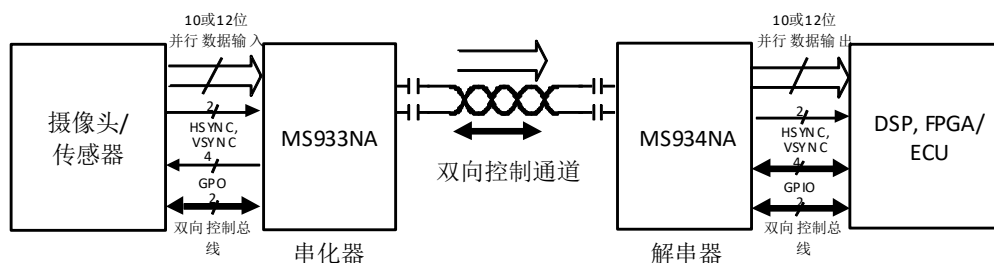


图 22. 典型应用框图

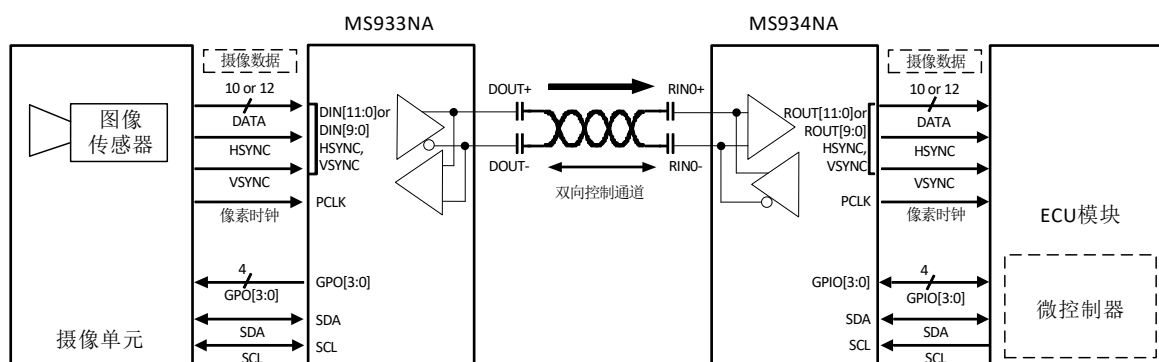
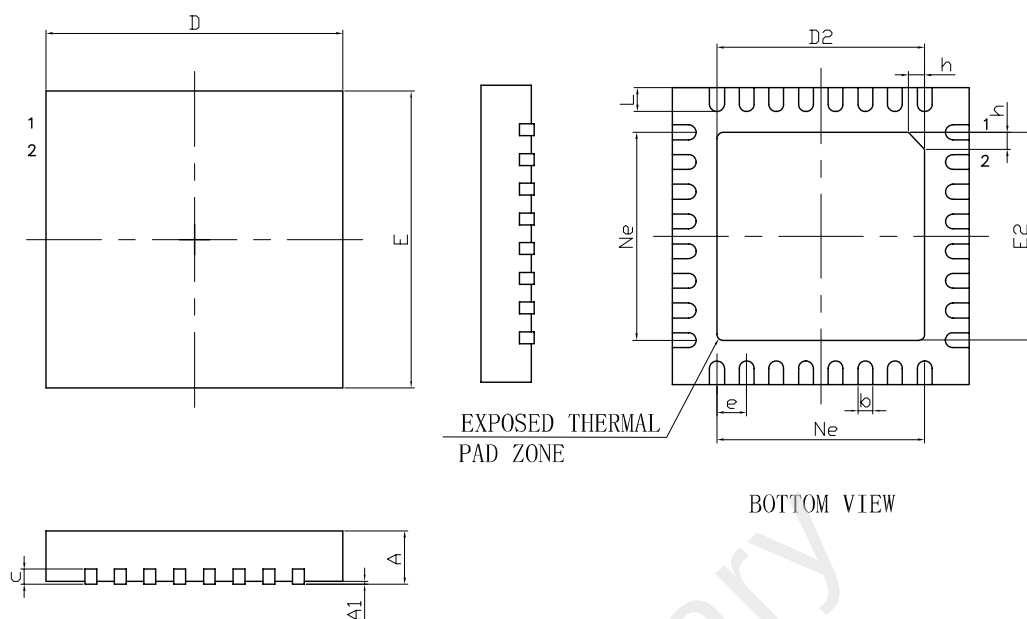


图 23. 应用模块框图

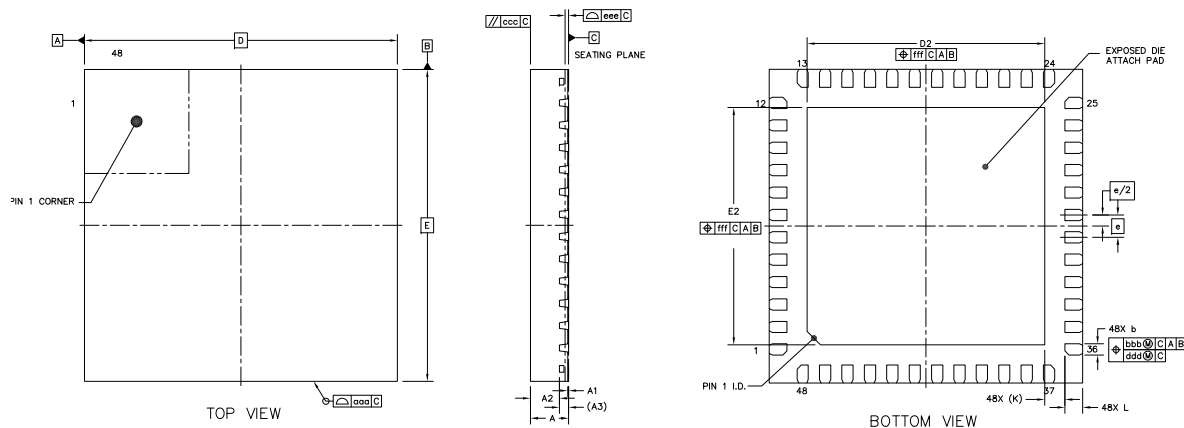
封装外形图

QFN32



符号	尺寸 (毫米)		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	-	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

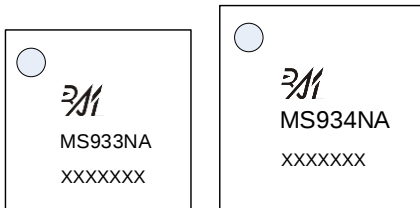
QFN48



符号	尺寸（毫米）		
	最小值	典型值	最大值
A	0.8	0.85	0.9
A1	0	0.02	0.05
A2	-	0.65	-
A3	0.203 REF		
b	0.2	0.25	0.3
D	7 BSC		
E	7 BSC		
e	0.5 BSC		
D2	5.2	5.3	5.4
E2	5.2	5.3	5.4
L	0.3	0.4	0.5
K	0.45 REF		
aaa	0.1		
ccc	0.1		
eee	0.08		
bbb	0.1		
ddd	0.05		
fff	0.1		

印章与包装规范

1. 印章内容介绍



产品型号：MS933NA、MS934NA

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	颗/卷	卷/盒	颗/盒	盒/箱	颗/箱
MS933NA	QFN32	1000	8	8000	4	32000
MS934NA	QFN48	2000	1	2000	8	16000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！

Preliminary



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)