

视频8位数模转换器

产品简述

MS5602是低功率、超高速视频数模转换器。MS5602以从DC至20MHz的采样速率将数字信号转换成模拟信号。由于高速工作，MS5602适合于数字电视、电脑视频处理及雷达信号处理等数字视频应用。

MS5602 工作于-40℃至 85℃。



SOP20

主要特点

- 8 位分辨率
- $\pm 0.2\%$ 线性度
- 最大转换率
典型值 30MHz
最小值 20MHz
- 模拟输出电压范围: VDD 至 VDD-1V
- TTL 数字输入电平
- 5V 单电源工作
- 低功耗:典型值 80mW

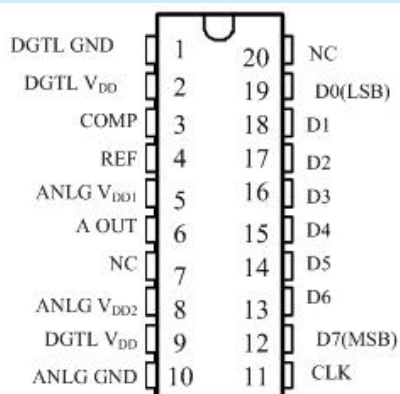
应用

- 数字视频信号转换

产品规格分类

产品	封装形式	丝印名称
MS5602	SOP20	MS5602

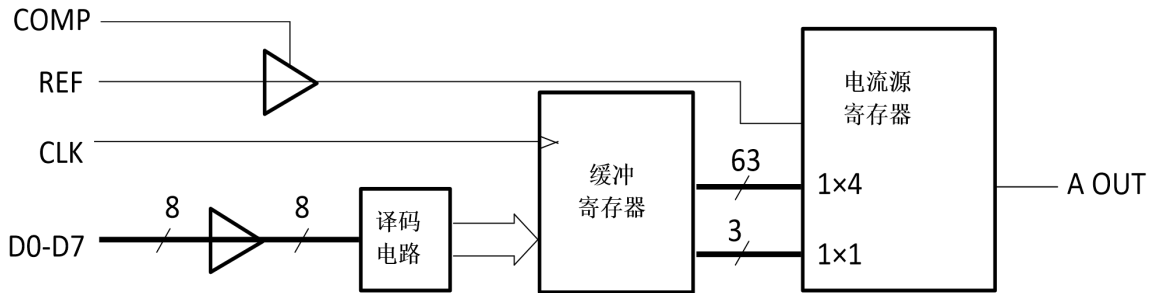
管脚排列图



管脚描述

管脚编号	管脚名称	管脚属性	管脚描述
1	DGTL GND	I	数字地
2, 9	DGTL V _{DD}	POWER	数字电源
3	COMP	I/O	连接相位补偿电容
4	REF	I	输入基准电压
5	ANLG V _{DD1}	POWER	模拟电源 1
6	A OUT	O	模拟输出
7	NC		悬空管脚
8	ANLG V _{DD2}	POWER	模拟电源 2
10	ANLG GND	--	模拟地
11	CLK	I	输入时钟信号
12~19	D7—D0	I	8 位数字输入（D7 为高位）
20	NC		悬空管脚

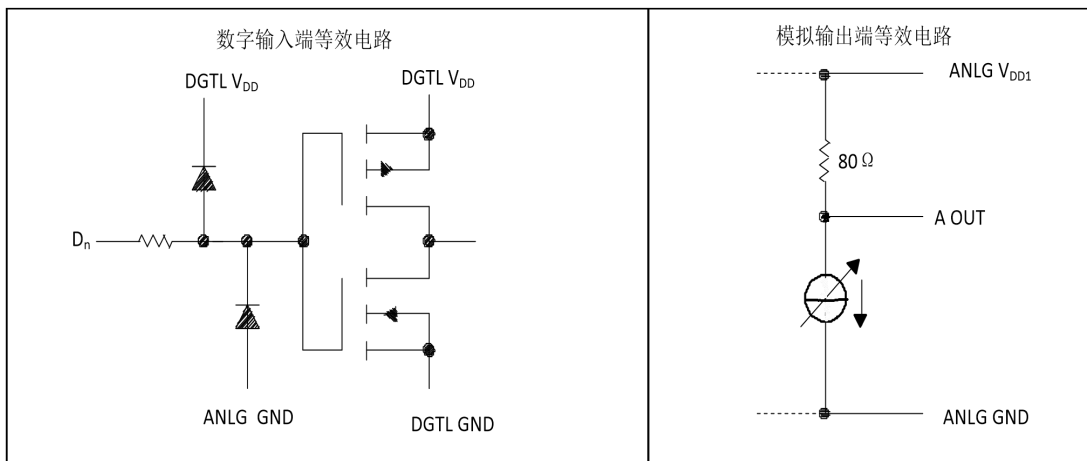
内部框图



功能表

阶段	数字输入								输出电压
	D7	D6	D5	D4	D3	D2	D1	D0	
0	L	L	L	L	L	L	L	L	3.980V
1	L	L	L	L	L	L	L	H	3.984V
127	L	H	H	H	H	H	H	H	4.488V
128	H	L	L	L	L	L	L	L	4.492V
129	H	L	L	L	L	L	L	H	4.496V
254	H	H	H	H	H	H	H	L	4.996V
255	H	H	H	H	H	H	H	H	5.000V

输入、输出等效电路:



ANLG GND 和 DGTL GND 内部无连接，应尽可能靠近器件端将其连接到一起。

极限参数

绝对最大额定值

注意：应用中任何情况下都不允许超过下表中的最大额定值

参 数	符 号	参 数 范 围	单 位
电源电压	ANGL VDD, DGTL VDD	-0.5~+7	V
输入数字电压范围	V1	-0.5~VDD+0.3	V
基准输入电压范围	REF	VDD-1.7V~VDD+0.5	V
工作温度范围	TA	-40~+85	°C
存储温度范围	Tstg	-60~+150	°C
最大结温	Jt	150	°C
焊接温度（10s）		260	°C

推荐工作条件

参 数	最小值	典型值	最大值	单 位
电源电压 VDD	4.75	5	5.25	V
数字输入高电平 VIH	2			V
数字输入低电平 VIL			0.8	V
参考电压 REF	3.8	4	4.2	V
脉冲宽度 tW	25			ns
建立时间 tsu	16.5			ns
保持时间 th	12.5			ns
相位补偿电容, CCOMP（见注释 1）	1			μA
负载电阻, RL	75k			Ω
工作温度, TA	-40		85	°C

注 1：相位补偿电容应连接在 COMP 与 ANLG GND 之间。

电气参数

电源电压和工作温度范围内的电特性

参数		测试条件	最小值	典型值	最大值	单位
IIH 高电平输入电流	数字	VI=5V			±1	μA
IIl 低电平输入电流	输入	VI=0V			±1	μA
Iref 输入基准电流		Vref=4.02V			10	μA
VFS 满幅输出电压		VDD=5V, Vref=4.02V	VDD-15	VDD	VDD+15	mA
VZS 零点输出电压		VDD=5V, Vref=4.02V	3.919	3.98	4.042	V
rO 输出阻抗		TA=full range#	60	80	120	Ω
ci 输入电容		fclock=1MHz, TA=25℃		15		pF
IDD 电源电流		fclock=20MHz, Vref=VD D-0.95V		16	25	mA

所有典型值的条件为 VCC=5V, TA=25℃。

参数	测试条件	最小值	典型值	最大值	单位
EL(adj)最佳拟合型线性误差	TA=full range		±0.2%		
EL 端点型线性误差			±0.15%		
ED 微分线性误差			±0.2%		
Gdif 微分增益	NTSC 40-IRE 标准, fclock=14.3MHz, ZL ≥ 75k Ω		0.7%		
Φ dif 微分相位			0.4°		
tpd 传播延时, CLK 到模拟输出更新时间	CL=10pF		25		ns
ts 1/2LSB 建立时间	CL=10pF		30		ns

参数测量时序

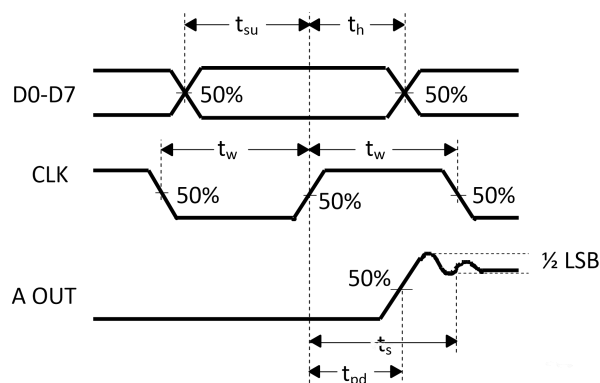


图1 电压波形

典型曲线图

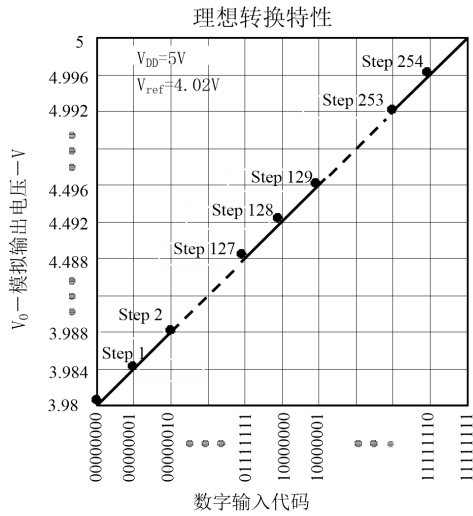


图2

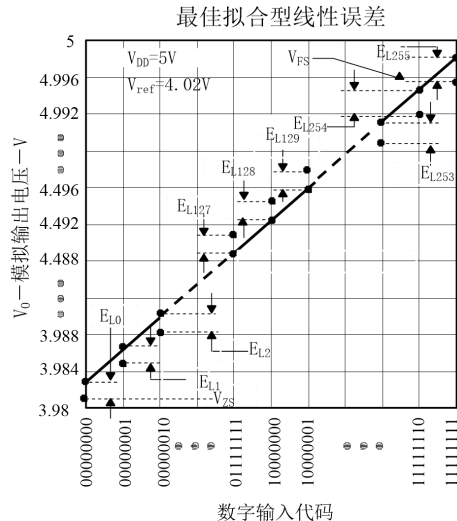
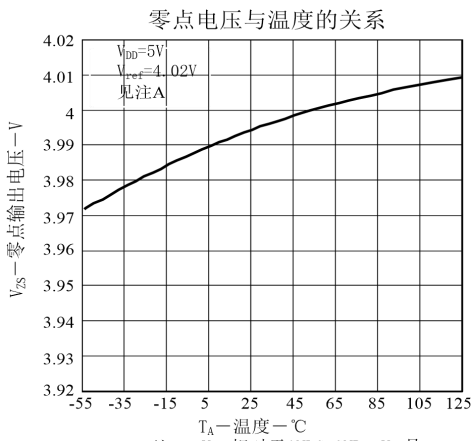


图3



注A: V_{ref} 相对于ANLG GND。 V_{DD} 是连在一起的ANLG V_{DD} 、DGTL V_{DD} 与连在一起的ANLG GND、DGTL GND之间的电压

图4

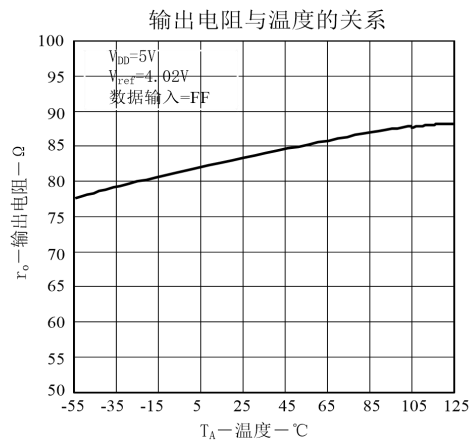


图5

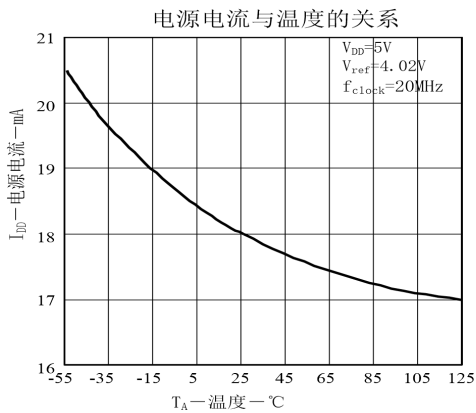
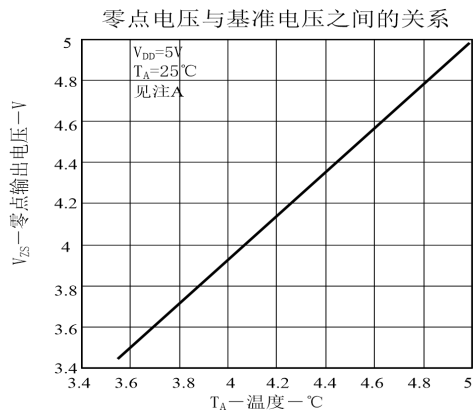


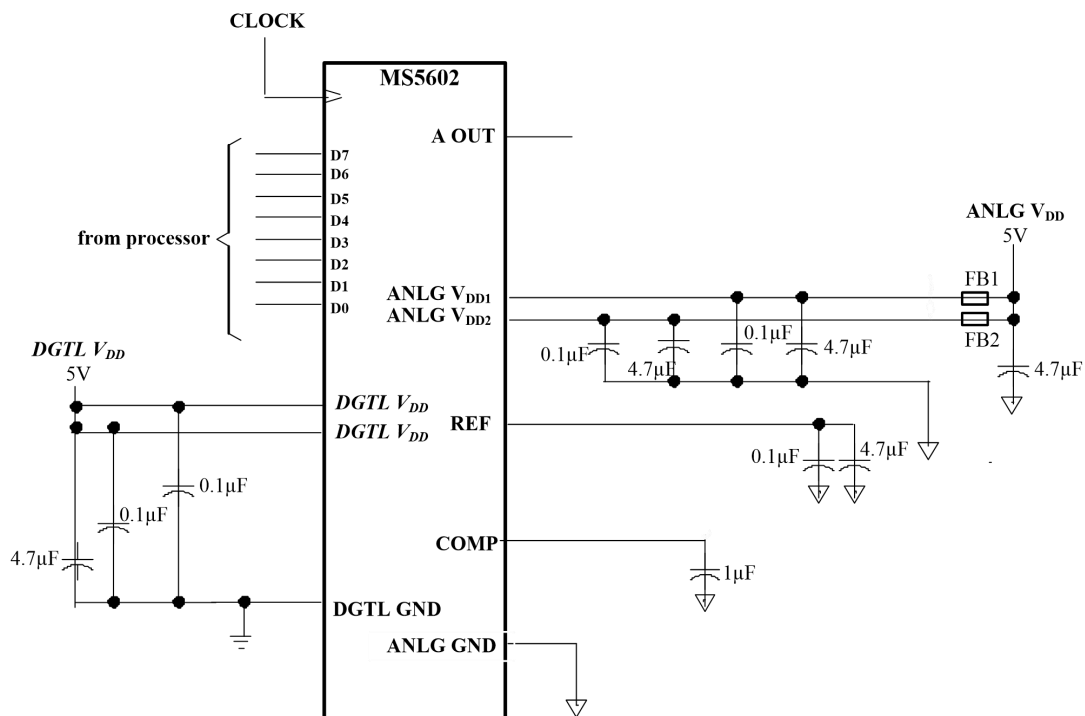
图6



注A: V_{ref} 相对于ANLG GND。 V_{DD} 是连在一起的ANLG V_{DD} 、DGTL V_{DD} 与连在一起的ANLG GND、DGTL GND之间的电压

图7

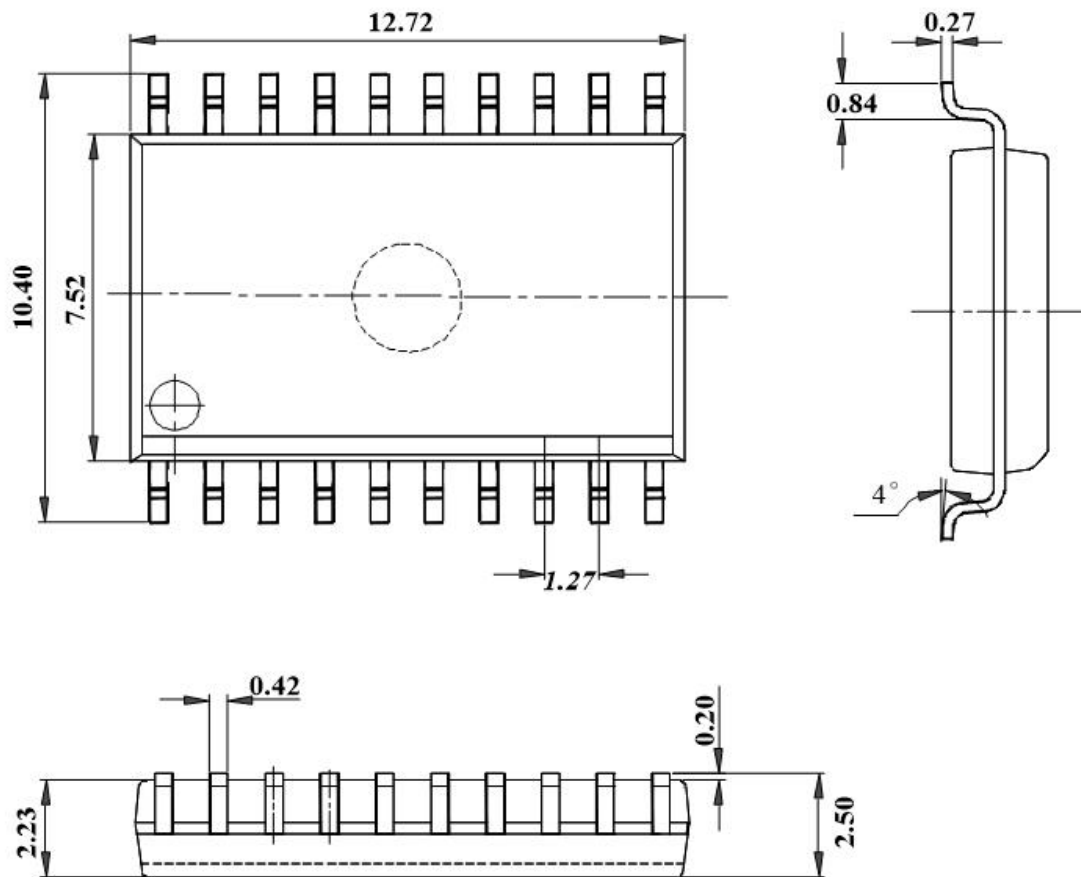
典型应用说明



使用建议

- 尽可能屏蔽外部模拟和数字电路以减少系统噪声。
- 整个试验和生产过程使用 RF 试验板和 RF 印刷电路（PCB）技术。
- 由于 ANLG GND 和 DGTL GND 无内部连接，因而这些端点需要外部连接。用试验板时，这些地线应通过带有正常电源旁路的分离引线连接到电源地。一种好的方法是模拟和数字电源线采用分离的绞合线对，使拾取噪声最小。印刷电路板的设计上使用宽地引线或接地面以减少寄生电感及电阻。接地面是减少噪声的最佳选择。
- ANLG VDD 和 DGTL VDD 在内部是分离的，因而他们在外部必须连接。这些外部印刷板引线也应做得尽可能宽。ANLG VDD 和 DGTL VDD 在板上连接到一起前，安置一个氧化体磁珠或等效电感与 ANLG VCC 串联，此外去耦电容尽可能靠近器件端。
- ANLG VDD 至 ANLG GND 和 DGTL VDD 至 DGTL GND 相应地用 $1\mu\text{F}$ 和 $0.01\mu\text{F}$ 电容去耦，尽可能靠近器件端， $0.01\mu\text{F}$ 电容建议采用陶瓷电容。
- COMP 和 ANLG GND 之间用尽可能短的引线连接相位补偿电容。
- 小型封装上的悬空引脚应连接到 ANLG GND。
- 用 ANLG VDD, ANLG GND 将 AOUT 和 高频端子 CLK 和 D7-D0 隔开。在印刷电路板上 AOUT 导线两旁设置 ANLG GND 导线。

封装外形图



印章与包装规范

一、印章内容介绍



二、印章内容介绍

MS5602: 产品型号

XXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装说明：

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS5602	SOP20	1000	1	1000	8	8000

变更历史

版本号	修订日期	修订内容	页码
V1.0	2011/05/17	第一版	
V1.1	2021/07/15	格式变更	



MOS 电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)